

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

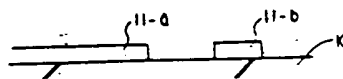
**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**(54) MANUFACTURE OF CRYSTALLINE SILICON FILM, CRYSTALLINE SILICON SEMICONDUCTOR UTILIZING THE SAME AND ITS MANUFACTURE**

(11) 3-290924 (A) (43) 20.12.1991 (19) JP  
(21) Appl. No. 2-192072 (22) 20.7.1990 (33) JP (31) 90p.72534 (32) 22.3.1990  
(71) RICOH CO LTD (72) MAMORU ISHIDA(1)  
(51) Int. Cl. H01L21/20, H01L21/324

**PURPOSE:** To obtain a single crystal silicon film or a polycrystalline silicon film having a grain diameter larger than a conventional one by a simple method by performing solid phase crystallization after an amorphous silicon film on an insulating substrate is patterned in a regular pattern.

**CONSTITUTION:** An amorphous Si film 11 is formed on a quartz substrate 10 by means of LP-CVD method while film formation conditions are specified. Then the film 11 is subjected to photolithographic patterning to make regions 11-a, 11-b. The region 11-a is a region where the amorphous Si has not been an island, while the region 11-b is an amorphous Si region to be an island by this method. Then the substrate is annealed in an N<sub>2</sub> atmosphere at 500°C for 20 hours, and further two hours annealing at 1020°C is done to make a solid phase crystal. Thus a polycrystalline Si film having a grain diameter larger than a conventional one can be obtained, while an islandlike single crystal can be obtained if an island pattern area is made small.



⑨ 日本国特許庁(J P)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-290924

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月20日

H 01 L 21/20  
21/324

7739-4M

審査請求 未請求 請求項の数 6 (全5頁)

⑮ 発明の名称 結晶性シリコン膜の製造方法、それを利用した結晶性シリコン半導体およびその製造方法

⑯ 特 願 平2-192072

⑰ 出 願 平2(1990)7月20日

優先権主張 ⑱ 平2(1990)3月22日 ⑲ 日本(J P) ⑳ 特願 平2-72534

㉑ 発 明 者 石 田 守 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
㉒ 発 明 者 田 口 聡 志 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
㉓ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号  
㉔ 代 理 人 弁 理 士 友 松 英 爾

明 細 書

1. 発明の名称

結晶性シリコン膜の製造方法、それを利用した結晶性シリコン半導体およびその製造方法

2. 特許請求の範囲

1. 絶縁基板上的非晶質シリコン膜(a-Si膜)をあらかじめ規則的パターンにパターン化した後、固相結晶化を行うことを特徴とする結晶性シリコン膜の製造方法。

2. 絶縁基板上的非晶質シリコン膜(a-Si膜)をあらかじめ島状化した後、固相結晶化を行うことを特徴とする結晶性シリコン膜の製造方法。

3. a-Si膜中に生成する結晶核が島状領域に1個または少数個にその数が制御された数だけ存在するように請求項2の島状領域の大きさを決定することを特徴とする結晶性シリコン膜の製造方法。

4. 絶縁基板上的a-Si膜を作製しようとする半導体素子のパターンと一致するパターンを用いて島状化した後、固相結晶化を行うこと

を特徴とする結晶性シリコン半導体の製造方法。

5. 絶縁基板とその上に規則的パターン状に設けられた結晶性シリコンよりなる結晶性シリコン半導体において、特定方向に結晶粒界が少ないことを特徴とする結晶性シリコン半導体。

6. 絶縁基板とその上に島状に設けられた結晶性シリコンよりなる結晶性シリコン半導体において、島内のシリコン結晶の数が1個又は少数個の制御された数であることを特徴とする結晶性シリコン半導体。

3. 発明の詳細な説明

〔技術分野〕

本発明は、絶縁基板上に規則的パターン化あるいは島状化された結晶性シリコン膜を製造する方法およびその技術を利用した新規な結晶性シリコン半導体とその製造方法に関する。

〔従来技術〕

絶縁基板(ex, SiO<sub>2</sub>, SiN)上に単結晶Si

膜を形成する方法として、レーザや電子ビームを用いた多結晶シリコン(Poly-Si)または $\alpha$ -Siの溶融再結晶化法や線状ヒーターを用いた希薄溶融再結晶化法あるいは、エピタキシャルCVD、エピタキシャル固相成長法等が提案されている。しかし、これらの方法は全て単結晶Siを種結晶に利用するための単結晶Siウェハーを基板材料として展開している技術であり、完全な絶縁基板上に単結晶Siを形成するためには単結晶Siウェハー基板に代わる種結晶が必要とされる。

従来、絶縁基板上に種結晶を形成する方法として、

1. Si<sup>+</sup>イオンビーム照射によってガラス基板上に結晶核を生成する('88 春季応用物理学会予稿集, (28p-H-9))
2. レーザアニールによりSiO<sub>2</sub>上に単結晶領域を形成する('89 第8回新機能素子技術シンポ)

等があるが、スループットが低かったり、工程

が複雑であったりして、多数の課題をかかえているのが実情である。

このため、Poly-Si膜を単結晶Siの代替材料とした半導体素子の開発が進められている。Poly-Si膜を半導体素子、例えば薄膜トランジスタ(TFT)の活性層に用いた場合、結晶粒径が大きな程キャリア移動度が大きくなりトランジスター性能が向上することが知られている。このように、Poly-Siの結晶粒径と、その半導体素子特性には密接な関係があり、粒径拡大方法が盛んに検討されている。

この中で、大面積絶縁基板上に均一に大粒径Poly-Siを作製する方法として、非晶質Si膜の固相結晶化法がある。従来この非晶質Si膜を作製する方法としては、

- a) LP-CVD法による低温製膜
  - b) Poly-Si膜へのSi<sup>+</sup>注入による非晶質化
  - c) P-CVD法
  - d) 真空蒸着法
- などがある。

これらの非晶質Si膜を固相結晶化させた場合、膜中の結晶核密度が低くなる非晶質Si膜の作製方法、条件を選択することにより、最大10 $\mu$ m程度の結晶粒が成長するが、結晶成長方向がランダムであるため、結果的に結晶同志がぶつかり合ってしまう平均的な粒径が小さくなってしまふ、という問題点がある。

#### (目 的)

本発明の目的はシリコン膜の結晶粒径を大きくすると同時に結晶粒界の向きを特定方向にそろえることにより移動度を向上させる点にある。

本発明のもう1つの目的は、絶縁基板上に規則的パターン状あるいは島状単結晶Si膜、または従来のものより粒径の大きい規則的パターン状あるいは島状Poly-Si膜を形成する点にある。

本発明の他の目的は前記島状のパターンと作製しようとする半導体素子のパターンを一致させることによりすぐれた物性をもつ半導体およびその製法を提供する点にある。

#### (構 成)

第1の本発明は、絶縁基板上の非晶質シリコン膜( $\alpha$ -Si膜)をあらかじめ規則的パターンにパターン化した後、固相結晶化を行うことを特徴とする結晶性シリコン膜の製造方法に関する。

第2の本発明は、絶縁基板上の非晶質シリコン膜( $\alpha$ -Si膜)をあらかじめ島状化した後、固相結晶化を行うことを特徴とする結晶性シリコン膜の製造方法に関する。

第3の本発明は、 $\alpha$ -Si膜中に生成する結晶核が島状領域に1個または少数個にその数が制御された数だけ存在するように前記島状領域の大きさを決定することを特徴とする結晶性シリコン膜の製造方法に関する。

第4の本発明は、絶縁基板上の $\alpha$ -Si膜を作製しようとする半導体素子のパターンと一致するパターンを用いて島状化した後、固相結晶化を行うことを特徴とする結晶性シリコン半導体の製造方法に関する。

第5の本発明は、絶縁基板とその上に規則的

パターン状に設けられた結晶性シリコンよりなる結晶性シリコン半導体において、特定方向に結晶粒界が少ないことを特徴とする結晶性シリコン半導体に関する

第6の本発明は、絶縁基板とその上に島状に設けられた結晶性シリコンよりなる結晶性シリコン半導体において、島内のシリコン結晶の数が1個又は少数個の制御された数であることを特徴とする結晶性シリコン半導体に関する。

非晶質Siの固相結晶化によって生成する結晶粒を模式的に第1図(a)に示す。

結晶粒3は、結晶核1から双晶面2に沿って結晶成長してできあがる。

そこで、本発明のものと従来のものを第2図(a)、(b)に模式的に示した。

第2図(a)は従来の固相結晶化によるものであり、結晶核1からの結晶成長方向がランダムであるため、結晶粒3同志の成長がぶつかって阻害される。結果的に複雑に入り組んだ結晶粒界が存在する。

条件(例えば温度)等の条件を適正範囲に設定することである。

a-Si膜については、非結晶性が高い程、又結晶化においては、例えばその温度が低い程、共に生成する結晶核の数は減少する。そこで、例えば非晶質Si膜の形成方式にLP-CVD法を用いた場合、製膜温度を低くしたり、製膜速度を高くすることで固相結晶化によって生成する結晶核の密度を低下させることができる。

規則的パターンあるいは島状パターンの大きさ、形状等はフォトマスクのパターンサイズを定めることで簡単に制御しうる。

パターンサイズは希望する結晶粒界の方向や島領域の大きさによって決るが、ストライプ状パターンの巾や島領域の大きさはa-Si中に生成する結晶核の生成数をもとにして求めることができる。

第4図(a)(平面図)、(b)(断面図)に示すように、パターンをストライプ状のものにした場合には、そのストライプ巾を結晶粒と同程度か

第2図(b)は本発明の固相結晶化方法によるものである。非晶質Si膜があらかじめ島状化されているため、島状非晶質Si領域4以外からの成長結晶の侵入がなく、結果として粒界が大きくなり粒界が減少する。

このように、本発明の目的を達成するための技術的ポイントとしては、つぎのようなものがある。

- (1) 非晶質Si膜中に生成する結晶核1の密度を制御すること。
- (2) 結晶核1の密度や結晶成長距離に対して規則的パターン状または島状パターンサイズが適正化されていること。

前記(1)は、いわば本発明の基本的事項であり、すなわちa-Siの固相結晶化によってSi島を形成するためにもっとも重要な点であり、特に単結晶Si島を得るためには、固相結晶化においてa-Si中に生成する結晶核が島内に1つだけ存在するように島領域の大きさや、a-Siの形成方式、形成条件あるいは固相結晶化

それに近い巾に設定することによりストライプに垂直な方向の結晶成長がおさえられ、ストライプ方向に結晶成長がおこるので結晶粒界はストライプ方向にそろい、この方向の移動度が向上する。

#### 【実施例】

##### 実施例1

第3図に実施例の構成を示す。

石英基板10上にLP-CVD法で非晶質Si膜11を形成する。LP-CVD法による製膜条件はSi<sub>2</sub>H<sub>6</sub>150sccm、圧力0.2torr、温度500℃、膜厚1000Åである。

この非晶質Si膜11をフォトリソパターンニングし、領域11-a、領域11-bを形成する。領域11-aは、従来の例として非晶質Siを島状化しない場合のものであり、領域11-bは本発明の島状化非晶質Siである。領域11-bの島領域はサイズ10μm<sup>2</sup>である。

この後、N<sub>2</sub>雰囲気中で600℃、20時間のアニールを行ない、さらに1020℃、2時間のアニール

ルをして、固相結晶化させる。

第1表はこのようにして得た固相結晶化Si膜の領域11-a、11-bについて、粒界エッチングを行ないSEMを用いて $10\mu\text{m}^2$ の面積に存在する結晶粒の数を比較観察したものである。

第1表

	結晶粒の数( $10\mu\text{m}^2$ )
領域11-a(従来)	9
領域11-b(本発明)	3

第1表から明らかなように $10\mu\text{m}^2$ 内の結晶粒が領域11-bの場合、領域11-aと比較して大幅に減少しており粒界が大幅に拡大していることが判る。

以上説明したように本発明によって従来よりもさらに粒径の大きなPoly-Si膜が得られた。なお、この条件で島状パターン面積をさらに小さくすれば、島状単結晶の作製が可能である。

本発明を半導体素子の作製に利用する場合に、島状パターンと素子の位置が一致するよう

このとき伝導方向をストライプ方向に選びストライプの幅は結晶粒径程度かそれ以下にする。このa-Siを熱アニールにより固相結晶化させる。アニール温度は500~600℃で10~100時間で粒径2~3 $\mu\text{m}$ のPoly-Siが得られる。その結果ストライプ方向に粒界がそろったPoly-Si膜となる。

#### 〔効果〕

- (1) 簡単な方法により単結晶シリコン膜または従来より粒径の大きいPoly-Si膜を得ることができた。
- (2) 本発明により結晶粒界の方向がそろったPoly-Si膜を形成でき、その結果、この方向の移動度を向上させることができた。
- (3) 本発明の半導体は、各半導体素子中のシリコン結晶数が1個または少数に制御できるため、半導体としての性能を大巾に向上することができた。

#### 4. 図面の簡単な説明

第1図は、a-Siの固相結晶化によって生成

にマスク設計すれば良い。

#### 実施例2

アニールの条件のみをN<sub>2</sub>雰囲気中560℃で50時間、ついで1100℃で2時間とした以外は実施例1の方法を繰り返した。

このようにして得られたSi島をSEMで観察した結果、粒界が存在せず単一結晶によって形成されていることが判った。これに対して、島状化サイズだけを $10\mu\text{m}^2$ として実施例2を繰り返したものは、SEM観察の結果Si島内には粒界が認められ10~20個の結晶粒によって構成されていることが判った。

#### 実施例3

石英基板上にLPCVD法またはシリコンイオン注入法によりa-Si膜を形成する。このときシランガスを用いると膜温度540℃以上では結晶相が混じっているためそれ以下の温度で膜形成する。

このa-Si膜を第4図に示すようにフォトリソによってストライプ状にパターンニングする。

する結晶粒を模式的に示したものであり、第2図(a)は従来法による固相結晶化の様子を、第2図(b)は本発明方法による固相結晶化の様子を示す。第3図は、実施例1における本発明と従来例の構成を示す。第4図(a)は本発明のストライプ状パターンをもつ結晶性シリコン半導体の平面図、(b)はその断面図である。

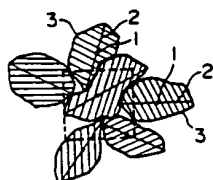
- 1...結晶核
- 2...双晶面
- 3...結晶粒
- 4...島状非晶質Si領域
- 5...結晶粒界
- 10...基板
- 11...非晶質Si膜
- 11-a...領域
- 11-b...領域

特許出願人 株式会社 リコー  
代理人 井理士 友 松 英 爾

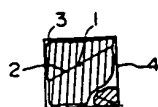
第 1 図



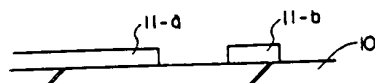
第 2 図(a)



第 2 図(b)

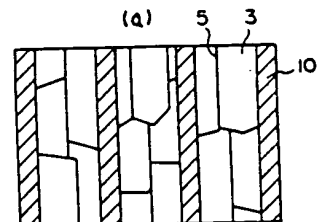


第 3 図



第 4 図

(a)



(b)

